

LE JEU D'INSTRUCTIONS DU 68HC11

1. 1 INTRODUCTION

Le 68HC11 possède un jeu d'instructions très varié. En effet il comporte 145 instructions de base, soit un total de 317 instructions compte tenu des variantes possibles selon le mode d'adressage utilisé.

Les modes d'adressages du 68HC11 sont au nombre de six : inhérent, immédiat, direct, étendu, indexé et relatif.

2 CLASSIFICATION DES INSTRUCTIONS

2.1 Instructions de traitement des données

2.1.1 Opérations arithmétiques

ABA	Addition de A et B, résultat en A
ABX / ABY	Addition de B à X (ou Y), résultat en X (ou Y)
ADCA / ADCB	Addition du contenu mémoire à l'accumulateur avec retenue
ADDA / ADDB	Addition du contenu mémoire à l'accumulateur
ADDD	Addition 16bits des contenus mémoires (2 octets) à D
DAA	Ajustement décimal de l'accumulateur A (Correction de l'addition BCD)
SBA	Soustraction de B à A, résultat en A
SBCA / SBCB	Soustraction du contenu mémoire à l'accumulateur avec retenue
SUBA / SUBB	Soustraction du contenu mémoire à l'accumulateur
SUBD	Soustraction 16 bits des contenus mémoires (2 octets) à D
MUL	Multiplication non signée de A par B, résultat en D
FDIV	Division fractionnaire non-signée 16 bits D/X
IDIV	Division entière non-signée 16 bits D/X

2.1.2 Instructions de rotation et décalage

ASL	Décalage arithmétique à gauche du contenu mémoire
ASLA / ASLB	Décalage arithmétique à gauche de A ou B
ASLD	Décalage arithmétique à gauche de D
ASR	Décalage arithmétique à droite du contenu mémoire
ASRA / ASRB	Décalage arithmétique à droite de A ou B
LSL	Décalage logique à gauche du contenu mémoire
LSLA / LSLB	Décalage logique à gauche de A ou B
LSLD	Décalage logique à gauche de D
LSR	Décalage logique à droite du contenu mémoire
LSRA / LSRB	Décalage logique à droite de A ou B
LSRD	Décalage logique à droite de D
ROL	Rotation à gauche du contenu mémoire
ROLA / ROLB	Rotation à gauche de A ou B
ROR	Rotation à droite du contenu mémoire
RORA / RORB	Rotation à droite de A ou B

2.1.3 Opérations logiques

ANDA / ANDB	ET Logique entre le contenu mémoire et l'accumulateur
EORA / EORB	OU Exclusif entre le contenu mémoire et l'accumulateur
ORAA / ORAB	OU Logique entre le contenu mémoire et l'accumulateur

2.1.4 Complémentation

COM Complément Logique du contenu mémoire
COMA / COMB Complément Logique de l'accumulateur

NEG Complément à deux de l'accumulateur
NEGA / NEGB Complément à deux de l'accumulateur

2.1.5 Incrémentation/décrémentation

DEC Décrémentation du contenu mémoire
DECA / DECB Décrémentation de l'accumulateur
DES Décrémentation du pointeur de pile SP
DEX / DEY Décrémentation de X ou Y

INC Incrémentation du contenu mémoire
INCA / INCB Incrémentation de l'accumulateur
INS Incrémentation du pointeur de pile SP
INX / INY Incrémentation de X ou Y

NOP Pas d'opération, incrémentation du compteur programme (PC)

2.1.6 Mise à 0, Mise à 1

CLR Mise à 0 du contenu mémoire
CLRA / CLRB Mise à 0 de l'accumulateur

BCLR Mise à 0 d'un ou plusieurs bits du contenu mémoire
BSET Mise à 1 d'un ou plusieurs bits du contenu mémoire

CLC Mise à 0 du bit C du CCR
CLI Mise à 0 du bit I du CCR
CLV Mise à 0 du bit V du CCR
SEC Mise à 1 du bit C du CCR
SEI Mise à 1 du bit I du CCR
SEV Mise à 1 du bit V du CCR

2.2 Instructions de transfert de données

2.2.1 Transferts entre mémoire et registres internes

LDAA / LDAB Chargement de l'accumulateur avec le contenu mémoire
LDD Chargement de D avec le contenu mémoire
LDS Chargement du pointeur de pile SP avec le contenu mémoire
LDX / LDY Chargement de X ou Y avec le contenu mémoire

STAA / STAB Mise en mémoire du contenu de l'accumulateur
STD Mise en mémoire du contenu de D
STS Mise en mémoire du contenu du pointeur de pile SP
STX / STY Mise en mémoire du contenu de X ou Y

2.2.2 Transferts entre mémoire et pile

PSHA / PSHB Empilement de l'accumulateur
PSHX / PSHY Empilement de X ou Y

PULA / PULB Dépilement dans l'accumulateur
PULX / PULY Dépilement dans X ou Y

2.2.3 Transferts entre registres internes

TAB	Transfert de A dans B
TBA	Transfert de B dans A
TAP	Transfert de A dans le CCR
TPA	Transfert du CCR dans A
TSX / TSY	Charge X ou Y avec le contenu du pointeur de pile SP augmenté de 1 (SP+1)
TXS / TYS	Charge le pointeur de pile avec le contenu de X ou Y diminué de 1 (X-1)
XGDY / XGDY	Echange les contenus de D et X ou Y

2.3 Instructions de tests et branchements

2.3.1 Instructions de test et de comparaison

BITA / BITB	Test de bit entre l'accumulateur et le contenu mémoire
CBA	Compare A et B
CMPA / CMPB	Compare l'accumulateur au contenu mémoire
CPD	Compare D au contenu mémoire
CPX / CPY	Compare X ou Y au contenu mémoire
TST	Test du contenu mémoire
TSTA / TSTB	Test du contenu de l'accumulateur

2.3.2 Instructions de test et branchement

BCC	Branchement si pas de retenue
BCS	Branchement si retenue
BEQ	Branchement si égal (à 0)
BNE	Branchement si différent (de 0)
BMI	Branchement si négatif
BPL	Branchement si positif
BVC	Branchement si pas de débordement
BVS	Branchement si débordement
BHI	Branchement si supérieur (non-signé)
BHS	Branchement si supérieur ou égal (non-signé)
BLO	Branchement si inférieur (non-signé)
BLS	Branchement si inférieur ou égal (non-signé)
BGE	Branchement si supérieur ou égal (signé)
BGT	Branchement si supérieur (signé)
BLE	Branchement si inférieur ou égal (signé)
BLT	Branchement si inférieur (signé)
BRCLR	Branchement si le ou bits désigné de l'opérande sont à 0
BRSET	Branchement si le ou bits désigné de l'opérande sont à 1

2.3.3 Instructions de saut ou branchement

BRA	Branchement inconditionnel
BRN	non-branchement (pas d'opération)
BSR	Branchement à un sous-programme
JMP	Saut inconditionnel à une adresse effective
JSR	Saut à un sous-programme
RTS	Retour de sous-programme

2.4 Traitement des interruptions

RTI	Retour de sous-programme d'interruption
SWI	Interruption logicielle
WAI	Attente d'interruption

2.5 Instructions particulières

STOP	Mode STOP
TEST	Mode TEST

3 JEU D'INSTRUCTIONS DU 68HC11F1

3.1 Légende

Opérandes

dd : 8 bits d'une adresse en mode direct (MSB=\$00)
hh : 8 bits de poids fort d'une adresse en mode étendu
ll : 8 bits de poids faible d'une adresse en mode étendu

ii : 8 bits d'une donnée en mode immédiat
jj : 8 bits de poids fort d'une donnée en mode immédiat
kk : 8 bits de poids faible d'une donnée en mode immédiat

ff : Offset positif sur 8 bits (ajouté à l'index)
nn : Offset signé (complément à de 2) sur 8 bits (valeur de déplacement relatif)

mm : 8 bits de masque

Codes condition

0 : bit mis à 0
1 : bit mis à 1
Δ : bit positionné à 0 ou 1 selon le résultat de l'instruction
↓ : bit qui peut être forcé à 0, mais ne peut être mis à 1

3.2 Tableaux des instructions

Table 3-2 Instruction Set (Sheet 2 of 6)

Mnemonic	Operation	Description	Addressing Mode	Opcode	Instruction Operand	Cycles	Condition Codes											
							S	X	H	I	N	Z	V	C				
BGT (rel)	Branch if > Zero	? Z + (N ⊕ V) = 0	REL	2E	rr	3	—	—	—	—	—	—	—	—	—	—	—	
BHI (rel)	Branch if Higher	? C + Z = 0	REL	22	rr	3	—	—	—	—	—	—	—	—	—	—	—	
BHS (rel)	Branch if Higher or Same	? C = 0	REL	24	rr	3	—	—	—	—	—	—	—	—	—	—	—	
BITA (opr)	Bit(s) Test A with Memory	A • M	IMM DIR A EXT IND.X IND.Y	85 92 93 A5 A5 18	ii dd hh II ff ff ff	2 3 4 4 5	—	—	—	—	—	—	—	—	—	—	—	
BITB (opr)	Bit(s) Test B with Memory	B • M	B DIR B EXT IND.X IND.Y	C5 D5 F5 E5 E5 18	ii dd hh II ff ff ff	2 3 4 4 5	—	—	—	—	—	—	—	—	—	—	—	
BLE (rel)	Branch if Δ Zero	? Z + (N ⊕ V) = 1	REL	2F	rr	3	—	—	—	—	—	—	—	—	—	—	—	
BLO (rel)	Branch if Lower	? C = 1	REL	25	rr	3	—	—	—	—	—	—	—	—	—	—	—	
BLS (rel)	Branch if Lower or Same	? C + Z = 1	REL	23	rr	3	—	—	—	—	—	—	—	—	—	—	—	
BLT (rel)	Branch if < Zero	? N ⊕ V = 1	REL	2D	rr	3	—	—	—	—	—	—	—	—	—	—	—	
BMI (rel)	Branch if Minus	? N = 1	REL	2B	rr	3	—	—	—	—	—	—	—	—	—	—	—	
BNE (rel)	Branch if not = Zero	? Z = 0	REL	26	rr	3	—	—	—	—	—	—	—	—	—	—	—	
BPL (rel)	Branch if Plus	? N = 0	REL	2A	rr	3	—	—	—	—	—	—	—	—	—	—	—	
BRA (rel)	Branch Always	? I = 1	REL	20	rr	3	—	—	—	—	—	—	—	—	—	—	—	
BRCLR (opr)	Branch if (msk) Bit(s) Clear	? M • mm = 0	DIR IND.X IND.Y	13 1F 1F	dd mm rr ff mm rr ff mm rr	6 7 8	—	—	—	—	—	—	—	—	—	—	—	
BRN (rel)	Branch Never	? I = 0	REL	21	rr	3	—	—	—	—	—	—	—	—	—	—	—	
BRSET (opr)	Branch if Bit(s) Set	? (M) • mm = 0	DIR IND.X IND.Y	12 1E 1E	dd mm rr ff mm rr ff mm rr	6 7 8	—	—	—	—	—	—	—	—	—	—	—	
BSET (opr)	Set Bit(s) (msk)	M + mm → M	DIR IND.X IND.Y	14 1C 1C	dd mm mm ff mm	6 7 8	—	—	—	—	—	—	—	—	—	—	—	
BSR (rel)	Branch to Subroutine	See Figure 3-2	REL	8D	rr	6	—	—	—	—	—	—	—	—	—	—	—	
BVC (rel)	Branch if Overflow Clear	? V = 0	REL	28	rr	3	—	—	—	—	—	—	—	—	—	—	—	
BVS (rel)	Branch if Overflow Set	? V = 1	REL	29	rr	3	—	—	—	—	—	—	—	—	—	—	—	
CBA	Compare A to B	A - B	INH	11	—	2	—	—	—	—	—	—	—	—	—	—	—	
CLC	Clear Carry Bit	0 → C	INH	0C	—	2	—	—	—	—	—	—	—	—	—	—	—	
CLI	Clear Interrupt Mask	0 → I	INH	0E	—	2	—	—	—	—	—	—	—	—	—	—	—	
CLR (opr)	Clear Memory Byte	0 → M	EXT IND.X IND.Y	7F 6F 6F	hh II ff ff	6 6 7	—	—	—	—	—	—	—	—	—	—	—	
CLRA	Clear Accumulator A	0 → A	A	4F	—	2	—	—	—	—	—	—	—	—	—	—	—	
CLRB	Clear Accumulator B	0 → B	B	5F	—	2	—	—	—	—	—	—	—	—	—	—	—	
CLV	Clear Overflow Flag	0 → V	INH	0A	—	2	—	—	—	—	—	—	—	—	—	—	—	
CMPPA (opr)	Compare A to Memory	A - M	A IMM DIR A EXT IND.X IND.Y	81 91 B1 A1 A1 18	ii dd hh II ff ff	2 3 4 4 5	—	—	—	—	—	—	—	—	—	—	—	
CMPPB (opr)	Compare B to Memory	B - M	B IMM DIR B EXT IND.X IND.Y	C1 D1 F1 E1 E1 18	ii dd hh II ff ff	2 3 4 4 5	—	—	—	—	—	—	—	—	—	—	—	

Table 3-2 Instruction Set (Sheet 1 of 6)

Mnemonic	Operation	Description	Addressing Mode	Opcode	Instruction Operand	Cycles	Condition Codes											
							S	X	H	I	N	Z	V	C				
ABA	Add Accumulators	A + B → A	INH	1B	—	2	—	—	—	—	—	—	—	—	—	—	—	
ABX	Add B to X	IX + (00 : B) → IX	INH	3A	—	3	—	—	—	—	—	—	—	—	—	—	—	
ABY	Add B to Y	IY + (00 : B) → IY	INH	3A	—	4	—	—	—	—	—	—	—	—	—	—	—	
ADCA (opr)	Add with Carry to A	A + M + C → A	A DIR A EXT IND.X IND.Y	99 B9 A9 A9 18	ii hh II ff ff	3 4 4 5	—	—	—	—	—	—	—	—	—	—	—	
ADCB (opr)	Add with Carry to B	B + M + C → B	B DIR B EXT IND.X IND.Y	C9 D9 F9 E9 E9 18	ii dd hh II ff ff	3 4 4 5	—	—	—	—	—	—	—	—	—	—	—	
ADDA (opr)	Add Memory to A	A + M → A	A IMM DIR A EXT IND.X IND.Y	86 96 B6 A6 A6 18	ii dd hh II ff ff	3 4 4 5	—	—	—	—	—	—	—	—	—	—	—	
ADDB (opr)	Add Memory to B	B + M → B	B IMM DIR B EXT IND.X IND.Y	8B 9B BB AB A6 18	ii dd hh II ff ff	3 4 4 5	—	—	—	—	—	—	—	—	—	—	—	
ADDD (opr)	Add 16-Bit to D	D + (M : M + 1) → D	IMM DIR EXT IND.X IND.Y	C3 D3 F3 E3 E3 18	jj kk dd hh II ff ff	4 5 6 7	—	—	—	—	—	—	—	—	—	—	—	
ANDA (opr)	AND A with Memory	A • M → A	A IMM DIR A EXT IND.X IND.Y	84 94 B4 A4 A4 18	ii dd hh II ff ff	2 3 4 4 5	—	—	—	—	—	—	—	—	—	—	—	
ANDB (opr)	AND B with Memory	B • M → B	B IMM DIR B EXT IND.X IND.Y	C4 D4 F4 E4 E4 18	ii dd hh II ff ff	2 3 4 4 5	—	—	—	—	—	—	—	—	—	—	—	
ASL (opr)	Arithmetic Shift Left	C ← C b7 C ← C b7	EXT IND.X IND.Y	78 68 68 18	hh II ff ff	6 6 7	—	—	—	—	—	—	—	—	—	—	—	
ASLA	Arithmetic Shift Left A	C ← C b7	INH	48	—	2	—	—	—	—	—	—	—	—	—	—	—	
ASLB	Arithmetic Shift Left B	C ← C b7	B	58	—	2	—	—	—	—	—	—	—	—	—	—	—	
ASLD	Arithmetic Shift Left D	C ← C b7 C ← C b7 b0	INH	05	—	3	—	—	—	—	—	—	—	—	—	—	—	
ASR	Arithmetic Shift Right	C ← C b7 C ← C b7 b0	EXT IND.X IND.Y	77 67 67 18	hh II ff ff	6 6 7	—	—	—	—	—	—	—	—	—	—	—	
ASRA	Arithmetic Shift Right A	C ← C b7	A	47	—	2	—	—	—	—	—	—	—	—	—	—	—	
ASRB	Arithmetic Shift Right B	C ← C b7	B	57	—	2	—	—	—	—	—	—	—	—	—	—	—	
BCC (rel)	Branch if Carry Clear	? C = 0	REL	24	rr	3	—	—	—	—	—	—	—	—	—	—	—	
BCLR (opr)	Clear Bit(s) (msk)	M • (mm) → M	DIR IND.X IND.Y	15 1D 18	dd mm ff mm ff mm	6 7 8	—	—	—	—	—	—	—	—	—	—	—	
BCS (rel)	Branch if Carry Set	? C = 1	REL	25	rr	3	—	—	—	—	—	—	—	—	—	—	—	
BEQ (rel)	Branch if = Zero	? Z = 1	REL	27	rr	3	—	—	—	—	—	—	—	—	—	—	—	
BGE (rel)	Branch if Δ Zero	? N ⊕ V = 0	REL	2C	rr	3	—	—	—	—	—	—	—	—	—	—	—	

Table 3-2 Instruction Set (Sheet 4 of 6)

Mnemonic	Operation	Description	Addressing Mode	Instruction		Condition Codes
				Opcode	Operand Cycles	
INY	Increment Index Register Y	$Y + 1 \Rightarrow Y$	INH	18	08	S X H I N Z V C
JMP (opr)	Jump	See Figures 3-2	EXT IND.X IND.Y	7E 6E 6E	hh ll ff ff	3 4 4
JSR (opr)	Jump to Subroutine	See Figures 3-2	DIR EXT IND.X IND.Y	9D BD AD AD	dd hh ll ff ff	5 6 6 7
LDAA (opr)	Load Accumulator A	$M \Rightarrow A$	IMM DIR EXT IND.X IND.Y	98 68 68 A6 A6	ff dd hh ll ff ff	2 3 3 4 4 5
LDAB (opr)	Load Accumulator B	$M \Rightarrow B$	IMM DIR EXT IND.X IND.Y	C6 D6 E6 E6 E6	ff dd hh ll ff ff	2 3 3 4 4 5
LDD (opr)	Load Double Accumulator D	$M \Rightarrow A, M + 1 \Rightarrow B$	IMM DIR EXT IND.X IND.Y	CC DC EC EC EC	jj kk dd hh ll ff ff	3 4 4 5 5
LDS (opr)	Load Stack Pointer	$M : M + 1 \Rightarrow SP$	IMM DIR EXT IND.X IND.Y	8E 9E BE AE AE	jj kk dd hh ll ff ff	3 4 4 5 5
LDX (opr)	Load Index Register X	$M : M + 1 \Rightarrow X$	IMM DIR EXT IND.X IND.Y	CE DE FE FE FE	jj kk dd hh ll ff ff	3 4 4 5 5
LDY (opr)	Load Index Register Y	$M : M + 1 \Rightarrow Y$	IMM DIR EXT IND.X IND.Y	18 18 1A 1A 1A	hh ll ff ff ff ff	6 6 6 6 6
LSL (opr)	Logical Shift Left	$C \leftarrow \text{---} \leftarrow 0$ $C \leftarrow b7$	INH	18	68 68	6 6 7
LSLA	Logical Shift Left A	$C \leftarrow \text{---} \leftarrow 0$ $C \leftarrow b7$	INH	48	48	2
LSLB	Logical Shift Left B	$C \leftarrow \text{---} \leftarrow 0$ $C \leftarrow b7$	INH	58	58	2
LSLD	Logical Shift Left Double	$C \leftarrow \text{---} \leftarrow 0$ $C \leftarrow b7$	INH	05	05	3
LSR (opr)	Logical Shift Right	$0 \rightarrow \text{---} \rightarrow C$ $b7 \rightarrow A \rightarrow b0$ $b0 \rightarrow B \rightarrow C$	EXT IND.X IND.Y	74 64 64	hh ll ff ff	6 6 7
LSRA	Logical Shift Right A	$0 \rightarrow \text{---} \rightarrow C$ $b7 \rightarrow A \rightarrow b0$ $b0 \rightarrow B \rightarrow C$	INH	44	44	2
LSRB	Logical Shift Right B	$0 \rightarrow \text{---} \rightarrow C$ $b7 \rightarrow A \rightarrow b0$ $b0 \rightarrow B \rightarrow C$	INH	54	54	2
LSRD	Logical Shift Right Double	$0 \rightarrow \text{---} \rightarrow C$ $b7 \rightarrow A \rightarrow b0$ $b0 \rightarrow B \rightarrow C$	INH	04	04	3
MUL	Multiply 8 by 8	$A * B \Rightarrow D$	INH	3D	3D	10
NEG (opr)	Two's Complement Memory Byte	$0 - M \Rightarrow M$	EXT IND.X IND.Y	70 60 60	hh ll ff ff	6 6 6
NEGA	Two's Complement A	$0 - A \Rightarrow A$	INH	40	40	2
NEGB	Two's Complement B	$0 - B \Rightarrow B$	INH	50	50	2

Table 3-2 Instruction Set (Sheet 3 of 6)

Mnemonic	Operation	Description	Addressing Mode	Instruction		Condition Codes
				Opcode	Operand Cycles	
COM (opr)	Ones Complement Memory Byte	$\$FF - M \Rightarrow M$	EXT IND.X IND.Y	73 63 63	hh ll ff ff	6 6 7
COMA	Ones Complement A	$\$FF - A \Rightarrow A$	INH	43	43	2
COMB	Ones Complement B	$\$FF - B \Rightarrow B$	INH	53	53	2
CPD (opr)	Compare D to Memory 16-Bit	$D - M : M + 1$	IMM DIR EXT IND.X IND.Y	1A 83 83 A3 A3	jj kk dd hh ll ff ff	5 6 7 7 7
CPX (opr)	Compare X to Memory 16-Bit	$X - M : M + 1$	IMM DIR EXT IND.X IND.Y	9C BC BC AC AC	jj kk dd hh ll ff ff	4 5 6 6 7
CPY (opr)	Compare Y to Memory 16-Bit	$Y - M : M + 1$	IMM DIR EXT IND.X IND.Y	16 8C 8C 1A 1A	jj kk dd hh ll ff ff	5 6 7 7 7
DAA	Decimal Adjust A	Adjust Sum to BCD	INH	19	19	2
DEC (opr)	Decrement Memory Byte	$M - 1 \Rightarrow M$	EXT IND.X IND.Y	7A 6A 6A	hh ll ff ff	6 6 7
DECA	Decrement Accumulator A	$A - 1 \Rightarrow A$	INH	4A	4A	2
DECB	Decrement Accumulator B	$B - 1 \Rightarrow B$	INH	5A	5A	2
DES	Decrement Stack Pointer	$SP - 1 \Rightarrow SP$	INH	34	34	3
DEX	Decrement Index Register X	$X - 1 \Rightarrow X$	INH	09	09	3
DEY	Decrement Index Register Y	$Y - 1 \Rightarrow Y$	INH	18	18	4
EORA (opr)	Exclusive OR A with Memory	$A \oplus M \Rightarrow A$	IMM DIR EXT IND.X IND.Y	88 68 B8 A8 A8	ff dd hh ll ff ff	2 3 4 4 5
EORB (opr)	Exclusive OR B with Memory	$B \oplus M \Rightarrow B$	IMM DIR EXT IND.X IND.Y	C8 D8 E8 E8 E8	ff dd hh ll ff ff	2 3 4 4 5
FDIV	Fractional Divide 16 by 16	$D / X \Rightarrow X; r \Rightarrow D$	INH	03	03	41
IDIV	Integer Divide 16 by 16	$D / X \Rightarrow X; r \Rightarrow D$	INH	02	02	41
INC (opr)	Increment Memory Byte	$M + 1 \Rightarrow M$	EXT IND.X IND.Y	7C 6C 6C	hh ll ff ff	6 6 7
INCA	Increment Accumulator A	$A + 1 \Rightarrow A$	INH	4C	4C	2
INCB	Increment Accumulator B	$B + 1 \Rightarrow B$	INH	5C	5C	2
INS	Stack Pointer Increment	$SP + 1 \Rightarrow SP$	INH	31	31	3
INX	Index Register X Increment	$X + 1 \Rightarrow X$	INH	08	08	3

Table 3-2 Instruction Set (Sheet 6 of 6)

Mnemonic	Operation	Description	Addressing Mode	Instruction		Cycles	S	X	H	I	N	Z	V	C
				Opcode	Operand									
STAB (opr)	Store Accumulator B	B → M	B	D7 F7	hh ll	3	—	—	—	—	—	—	—	—
STD (opr)	Store Accumulator D	A → M, B → M + 1	DIR EXT IND X IND Y	DD	dd	4	—	—	—	—	—	—	—	—
				FD	hh ll	5	—	—	—	—	—	—	—	—
STOP	Stop Internal Clocks	—	INH	CF	—	2	—	—	—	—	—	—	—	—
STS (opr)	Store Stack Pointer	SP → M : M + 1	DIR EXT IND X IND Y	9F	dd	4	—	—	—	—	—	—	—	—
				BF	hh ll	5	—	—	—	—	—	—	—	—
STX (opr)	Store Index Register X	IX → M : M + 1	DIR EXT IND X IND Y	DF	dd	4	—	—	—	—	—	—	—	—
				FF	hh ll	5	—	—	—	—	—	—	—	—
STY (opr)	Store Index Register Y	IY → M : M + 1	DIR EXT IND X IND Y	18	dd	5	—	—	—	—	—	—	—	—
				1A	hh ll	6	—	—	—	—	—	—	—	—
SUBA (opr)	Subtract Memory from A	A - M → A	IMM DIR EXT IND X IND Y	80	ii	2	—	—	—	—	—	—	—	—
				81	hh ll	3	—	—	—	—	—	—	—	—
SUBB (opr)	Subtract Memory from B	B - M → B	IMM DIR EXT IND X IND Y	A0	ff	4	—	—	—	—	—	—	—	—
				A1	hh ll	5	—	—	—	—	—	—	—	—
SUBD (opr)	Subtract Memory from D	D - M : M + 1 → D	IMM DIR EXT IND X IND Y	C0	ii	2	—	—	—	—	—	—	—	—
				C1	hh ll	3	—	—	—	—	—	—	—	—
SWI	Software Interrupt	See Figure 3-2	INH	3F	—	14	—	—	—	—	—	—	—	—
TAB	Transfer A to B	A → B	INH	16	—	2	—	—	—	—	—	—	—	—
TAP	Transfer A to CC Register	A → CCR	INH	06	—	2	—	—	—	—	—	—	—	—
TBA	Transfer B to A	B → A	INH	17	—	2	—	—	—	—	—	—	—	—
TEST	TEST (Only in Address Bus Counts Test Modes)	—	INH	00	—	*	—	—	—	—	—	—	—	—
TPA	Transfer CC Register to A	CCR → A	INH	07	—	2	—	—	—	—	—	—	—	—
TST (opr)	Test for Zero or Minus	M - 0	EXT IND X IND Y	7D 6D 6E	hh ll ff	6 6 7	—	—	—	—	—	—	—	—
TSTA	Test A for Zero or Minus	A - 0	INH	4D	—	2	—	—	—	—	—	—	—	—
TSTB	Test B for Zero or Minus	B - 0	INH	5D	—	2	—	—	—	—	—	—	—	—
TSX	Transfer Stack Pointer to X	SP + 1 → IX	INH	30	—	3	—	—	—	—	—	—	—	—
TSY	Transfer Stack Pointer to Y	SP + 1 → IY	INH	30	—	4	—	—	—	—	—	—	—	—
TXS	Transfer X to Stack Pointer	IX - 1 → SP	INH	35	—	3	—	—	—	—	—	—	—	—
TVS	Transfer Y to Stack Pointer	IY - 1 → SP	INH	35	—	4	—	—	—	—	—	—	—	—
WAI	Wait for Interrupt	Stack Regs & WAIT	INH	3E	—	**	—	—	—	—	—	—	—	—
XGDX	Exchange D with X	IX → D, D → IX	INH	8F	—	3	—	—	—	—	—	—	—	—
XGDY	Exchange D with Y	IY → D, D → IY	INH	8F	—	4	—	—	—	—	—	—	—	—

Table 3-2 Instruction Set (Sheet 5 of 6)

Mnemonic	Operation	Description	Addressing Mode	Instruction		Cycles	S	X	H	I	N	Z	V	C
				Opcode	Operand									
NOP	No operation	No Operation	INH	01	—	2	—	—	—	—	—	—	—	—
ORAA (opr)	OR Accumulator A (Inclusive)	A + M → A	A	8A	ii	2	—	—	—	—	—	—	—	—
				9A	dd	3	—	—	—	—	—	—	—	—
ORAB (opr)	OR Accumulator B (Inclusive)	B + M → B	B	BA	hh ll	4	—	—	—	—	—	—	—	—
				AA	ff	4	—	—	—	—	—	—	—	—
PSHA	Push A onto Stack	A → S, SP = SP - 1	A	CA	ii	2	—	—	—	—	—	—	—	—
				DA	dd	3	—	—	—	—	—	—	—	—
PSHB	Push B onto Stack	B → S, SP = SP - 1	B	EA	ff	4	—	—	—	—	—	—	—	—
				FA	hh ll	4	—	—	—	—	—	—	—	—
PSHX	Push X onto Stack (Lo First)	IX → S, SP = SP - 2	B	EA	ff	5	—	—	—	—	—	—	—	—
				FA	hh ll	5	—	—	—	—	—	—	—	—
PSHY	Push Y onto Stack (Lo First)	IY → S, SP = SP - 2	A	36	—	3	—	—	—	—	—	—	—	—
				37	—	3	—	—	—	—	—	—	—	—
PULA	Pull A from Stack	SP = SP + 1, A ← S, SP	A	3C	—	4	—	—	—	—	—	—	—	—
				3C	—	4	—	—	—	—	—	—	—	—
PULB	Pull B from Stack	SP = SP + 1, B ← S, SP	B	3C	—	4	—	—	—	—	—	—	—	—
				3C	—	4	—	—	—	—	—	—	—	—
PULX	Pull X from Stack (Hi First)	SP = SP + 2, IX ← S, SP	A	38	—	5	—	—	—	—	—	—	—	—
				38	—	5	—	—	—	—	—	—	—	—
PULY	Pull Y from Stack (Hi First)	SP = SP + 2, IY ← S, SP	A	38	—	6	—	—	—	—	—	—	—	—
				38	—	6	—	—	—	—	—	—	—	—
ROL (opr)	Rotate Left		EXT IND X IND Y	79	hh ll	6	—	—	—	—	—	—	—	—
				69	ff	6	—	—	—	—	—	—	—	—
ROLA	Rotate Left A		A	49	—	2	—	—	—	—	—	—	—	—
				49	—	2	—	—	—	—	—	—	—	—
ROLB	Rotate Left B		B	59	—	2	—	—	—	—	—	—	—	—
				59	—	2	—	—	—	—	—	—	—	—
ROR (opr)	Rotate Right		EXT IND X IND Y	76	hh ll	6	—	—	—	—	—	—	—	—
				66	ff	6	—	—	—	—	—	—	—	—
RORA	Rotate Right A		A	46	—	2	—	—	—	—	—	—	—	—
				46	—	2	—	—	—	—	—	—	—	—
RORB	Rotate Right B		B	56	—	2	—	—	—	—	—	—	—	—
				56	—	2	—	—	—	—	—	—	—	—
RTI	Return from Interrupt	See Figure 3-2	INH	3B	—	12	—	—	—	—	—	—	—	—
RTS	Return from Subroutine	See Figure 3-2	INH	39	—	5	—	—	—	—	—	—	—	—
SBA	Subtract B from A	A - B → A	INH	10	—	2	—	—	—	—	—	—	—	—
SBCA (opr)	Subtract with Carry from A	A - M - C → A	A	82	ii	2	—	—	—	—	—	—	—	—
				92	dd	3	—	—	—	—	—	—	—	—
SBCB (opr)	Subtract with Carry from B	B - M - C → B	B	B2	hh ll	4	—	—	—	—	—	—	—	—
				A2	ff	4	—	—	—	—	—	—	—	—
SEC	Set Carry	1 → C	INH	D2	dd	3	—	—	—	—	—	—	—	—
				E2	ff	4	—	—	—	—	—	—	—	—
SEI	Set Interrupt Mask	1 → I	INH	0D	—	2	—	—	—	—	—	—	—	—
SEV	Set Overflow Flag	1 → V	INH	0B	—	2	—	—	—	—	—	—	—	—
STAA (opr)	Store Accumulator A	A → M	A	97	dd	3	—	—	—	—	—	—	—	—
				B7	hh ll	4	—	—	—	—	—	—	—	—
STAA (opr)	Store Accumulator A	A → M	A	A7	ff	4	—	—	—	—	—	—	—	—
				A7	ff	4	—	—	—	—	—	—	—	—